

参 考 資 料 5

日本国特許庁(JP)

⑩ 特許出願公開

⑨ 公開特許公報(A) 平2-291152

⑤ Int. Cl.⁸

識別記号

庁内整理番号

④ 公開 平成2年(1990)11月30日

H 01 L 23/06

B

6412-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 半導体素子収納用パッケージ

⑦ 特 願 平1-111686

⑧ 出 願 平1(1989)4月28日

⑨ 発 明 者 高 江 寛 滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀
蒲生工場内

⑩ 出 願 人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22

⑪ 代 理 人 弁理士 宮川 良夫 外1名

明 細 書

1. 発明の名称

半導体素子収納用パッケージ

2. 特許請求の範囲

(1) 半導体素子を収納するための半導体素子収納用
パッケージであって、

端子取付け部を有するセラミック基体と、

前記セラミック基体上に設けられたセラミック
枠体と、前記セラミック基体下に取り付けられた金属放
熱板とを備え、前記端子取付け部は、前記セラミック基体内に
形成された端子取付け用金属層と、前記端子取り
付け用金属層の両側方に間隔を隔てて形成された
切欠きと、前記セラミック基体上面から前記切欠
きを経て前記金属放熱板に到るシールド用金属層
とを有している、

半導体素子収納用パッケージ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、パッケージ、特に、半導体素子を収
納するための半導体素子収納用パッケージに関す
る。

(従来の技術およびその課題)

半導体素子を収納するためのパッケージとして、
中央部に半導体素子が配置されるセラミック基体
と、半導体素子を取り囲むようにセラミック基体
上に設けられたセラミック枠体とを備えたものが
すでに知られている。第4図に示すように、従来の半導体素子収納用
パッケージは、端子取付け部51に、セラミック
基体52上に形成されたストリップライン53を
有している。また、ストリップライン53を両側
から挟むように、セラミック基体52上にグランド
パターン54が形成されている。グランドパタ
ーン54は、セラミック基体52に形成されたス
ルーホール55を介して金属放熱板56に接続さ
れている。また、セラミック枠体57内に形成さ
れたスルーホール58を介して、セラミック枠体
57の上面に形成されたシールド用メタライズ層5

特開平 2-291152(2)

9にグラウンドパターン54が接続されている。ここでは、グラウンドパターン54とスルーホール55、58と金属放熱板56とシールド用メタライズ層59とによってストリップライン53は取り囲まれており、この結果ストリップライン53がシールドされていることになる。

ところが、前記従来の構成では、セラミック基板・枠体に小さなスルーホールを形成する必要がある、製造が容易でない。また、スルーホールによるシールドでは、平面的なシールドに比べて放射損が大きくなる。さらに、この構成では、ストリップラインからシールドまでの距離が比較的に長くなるため、セラミックによる誘電体損が大きくなるを得ない。

一方、基板及び枠体を金属で構成し、枠体下部に切欠きを設け、ストリップラインが形成された小型セラミック部材をその切欠き内に挿入する構成もすでに知られている。

この従来の構成では、放射損や誘電体損を小さくすることはできるが、この枠体に形成された切

欠き内に小型セラミック部材を高精度で嵌め込む必要が生じる。このため、高い加工精度が要求されるようになり、組立が困難となって量産性が低下する。

本発明の目的は、製造容易で量産性が高く、しかも放射損や誘電体損を小さくできる半導体素子収納用パッケージを提供することにある。

(課題を解決するための手段)

本発明に係る半導体素子収納用パッケージは、端子取付け部を有するセラミック基板と、セラミック基板上に設けられたセラミック枠体と、セラミック基板下に取り付けられた金属放熱板とを備えている。前記端子取付け部は、セラミック基板内に形成された端子取付け用金属層と、端子取付け用金属層の両側方に間隔を隔てて形成された切欠きと、セラミック基板上面から切欠きを経て金属放熱板に到るシールド用金属層とを有している。(作用)

本発明に係る半導体素子収納用パッケージでは、セラミック基板内に端子取付け用金属層が形成さ

- 3 -

- 4 -

れており、セラミック基板上面から切欠きを経て金属放熱板に到るシールド用金属層によって端子取付け用金属層がシールドされる。このため、端子取付け用金属層を平面的なシールド層によって取り囲むことができるようになり、放射損が小さくなる。また、端子取付け用金属層とシールド用金属層との間隔が近くなるため、セラミック部材による誘電体損も小さくなる。しかも、この構成によれば、小型セラミック部材を高精度で加工したり、小さなスルーホールを形成したりする必要がなくなるため、製造が容易となり量産性が向上する。

(実施例)

第1図は、本発明の一実施例として、電界効果トランジスタを収納するための半導体素子収納用パッケージを示している。第1図において、この半導体素子収納用パッケージは、矩形平板状のセラミック基板1と、セラミック基板1上に設けられたセラミック枠体2と、セラミック枠体2の上面に固定され得る金属製蓋体3と、セラミック基

体1の下面に設置された金属製放熱板4とを有している。セラミック基板1の中央には、電界効果トランジスタ(図示せず)を収納するための孔5が形成されており、放熱板4は孔5から上方に露出している。前記枠体2は、一定間隔を隔てて孔5を取り囲む位置に配置されている。セラミック基板1の長辺と孔5との間には、1対の端子取付け部6が配置されている。この端子取付け部6は、それぞれセラミック基板1の中央部に対向姿勢で配置されている。

第2図に示すように、端子取付け部6は、パッケージ外部側に配置された外部端子取付け用凹部11と、その凹部11に対応する位置において孔5側に設けられた内部端子取付け用凹部12とを有している。凹部11の両側方には、間隔を隔てて、それぞれ上下方向に延びる溝13、14が配置されている。溝13、14の下端は、放熱板4によって閉じられている。

凹部11、12 底面には、1本の帯状の端子取付け用金属層15が形成されている。金属層1

- 5 -

- 6 -

特開平 2-291152(3)

5は、凹部11側からセラミック基体1内を連続的に延び凹部12に達している。凹部11内において金属層15には、入出力端子16の一端が接続されている。また、凹部12内において金属層15には、図示しない電界効果トランジスタの端子が接続される。1対の溝13、14間において、セラミック基体1の上面にはシールド用金属層17が形成されている。金属層17は、凹部11をわずかな間隔を隔てて取り囲んでいる。金属層17は、凹部11側から凹部12側に連続的に延び、凹部12を取り囲むように孔5側に延びている。なお、枠体2の下方に配置された金属層14の部分は、幅が狭く設定されている。これは、枠体2と基体1とのセラミック同士の接触面積を大きくすることによって、枠体2の固着強度を向上させるためである。凹部11周辺の金属層17は、溝13の側壁面を連続的に下方に延び、金属製放熱板2に達している。また、凹部12周辺の金属層17は、溝14内を連続的に下方に延び、金属製放熱板4に達している。これによって、金属層1

7が接地された状態となる。セラミック基体1の下面全面には、放熱板4を接着するための金属層18が形成されている。また、枠体2の上端面には、蓋体3を接着するための金属層19が設けられている。

なお、金属層15、17、18、19は、たとえば、タングステン、モリブデン、マンガン等の高融点金属から構成されている。

上述の構成によれば、端子取付け部6の金属層15は、金属層17、18によって比較的近い位置で取り囲まれている。また、金属層17、18は、金属層15を円状に取り囲んでいる。したがって、金属フレームを使用しなくても、部品の放射線を強力押さえることができる。また、セラミックによる熱電体損を押さえることもできる。

次に、上述の半導体素子収納用パッケージの製造方法を説明する。

まず、第1図に示すような矩形状に形成された未焼成セラミック基体(グリーンシート)を製造する。この場合には、孔5を有する2枚のグリー

- 7 -

- 8 -

ンシート1a、1bを重ね合わせるることによって製造される。第3図に示すように、上面のグリーンシート1aには、孔5及び凹部形成用の切欠き11a、12aが形成される。また、両切欠き11a、12aの両側方には、溝形成用の切欠き13a、14aが形成される。さらに、グリーンシート1aの上面及び切欠き13a、14aの側壁面には、金属層17が形成される。一方、グリーンシート1aの下面に重ね合わされるグリーンシート1bには、切欠き11a、12aに対応する位置に金属層15が形成される。また、切欠き13a、14aに対応する位置には、切欠き13b、14bが形成される。切欠き13b、14bの側壁面及び切欠き13bと切欠き14bとの間のグリーンシート上面には金属層17が形成される。さらに、グリーンシート1bの裏面全面には金属層18が形成される。さらに、上面に金属層19が塗布されたセラミック枠体2と、グリーンシート1a、1bと同じ大きさに形成された金属製放熱板4とを用いる。

次に、グリーンシート1a、1bと枠体2とを重ね合わせて焼成し、基体1と枠体2とが一体的に固定された部材を得る。そして、セラミック基体1の下面に放熱板4をろう付けする。

次に、孔5内に電界効果トランジスタ等を収納・固定し、電界効果トランジスタ等の各電極と凹部12内の金属層15との間をワイヤーボンディングによって接続する。また、外側の凹部11内の金属層18に入出力端子16を接続する。さらに、枠体2の上面に蓋体3をろう付けすることにより枠体2内を気密封止する。

この場合には、小さなスルーホールを設けたり、小型で強固に固いセラミック部材を使用する必要がないので、製造が容易となり、生産性が高い。

なお、上述の実施例では1つの端子取付け部に1つの端子が取り付けられる構造を説明したが、複数の端子が取り付けられる構造としても本発明を同様の実施することができる。この場合には、第1図及び第2図に示す取付け部の造が並列的に複数配置されることになる。また、枠体と基体

- 9 -

- 10 -

特開平 2-291152(4)

との接着強度が問題にならない場合には、棒体 2 の下方における金属層 17 の幅を狭くする必要はない。

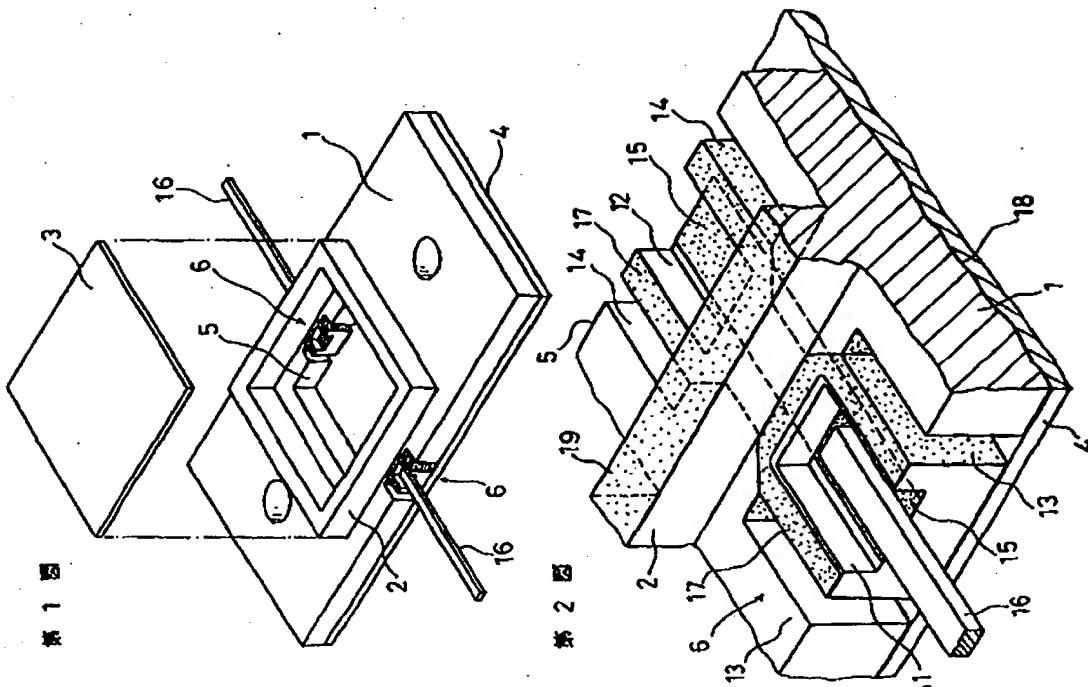
〔発明の効果〕

本発明に係る半導体素子収納用パッケージによれば、上述のような端子取付け用金属層と切欠きとシールド用金属層とを端子取付け部に設けたので、製造が容易で量産性が高く、しかも放射線や誘電体損を小さくできる半導体素子収納用パッケージを実現できる。

4. 図面の簡単な説明

第 1 図は本発明の一実施例の一部分解斜視図、第 2 図はその拡大部分図、第 3 図は第 2 図に相当する部分の分解斜視図、第 4 図は従来例の第 2 図に相当する図である。

1…セラミック基体、2…セラミック棒体、4…放熱板、6…端子取付け部、13、14…溝、15…端子取付け用金属層、17…シールド用金属層。

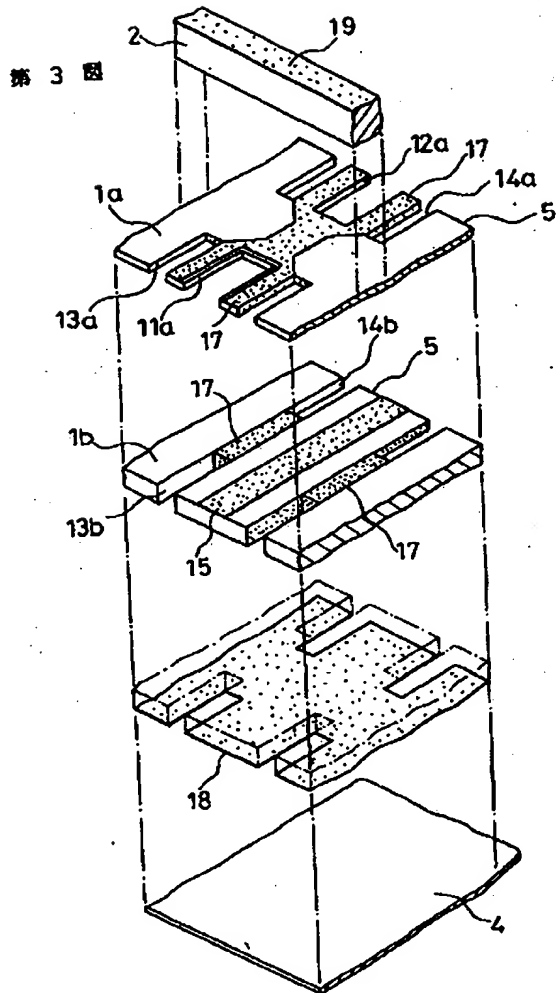




(7)

特開平 2-291152

特開平 2-291152(5)



第 4 圖

